

PATENT ABSTRACTS OF JAPAN

302

(11)Publication number : 01-095529

(43)Date of publication of application : 13.04.1989

(51)Int.Cl.

H01L 21/66
G01R 31/26

(21)Application number : 62-253424

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 07.10.1987

(72)Inventor : KIYOHARA HIROYUKI

(54) TEST METHOD OF WAFER

(57)Abstract:

PURPOSE: To improve processing ability with an inexpensive instrument for one chip test by classifying test items in groups for each type of measuring instrument, by testing chips assigned to each group at once, and by keeping the function of tester body and peripheral circuit at operational conditions.

CONSTITUTION: Of a plurality of chips being probed, positions of IC chips are recognized by making the position of one chip as a standard. Existence of a flag of defective flag memory is output for each of the chips. A tester references the output and operates a test only for the chip without a defective flag then puts a flag in the defective memory according to the results. Probing is then shifted to the next one chip and the same operation is conducted. The number of needles is thereby reduced and the peripheral circuit for one chip is enough in total. Various measuring instrument built in a tester body for one chip is also enough and test processing ability can be improved as well.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-95529

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 平成1年(1989)4月13日

H 01 L 21/66
G 01 R 31/26

A-6851-5F
Z-7359-2G

審査請求 未請求 発明の数 1 (全6頁)

⑬ 発明の名称 ウェーハのテスト方法

⑮ 特 願 昭62-253424

⑯ 出 願 昭62(1937)10月7日

⑭ 発 明 者 清 原 博 幸 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑰ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑱ 代 理 人 弁理士 早 瀬 憲一

明 細 書

1. 発明の名称

ウェーハのテスト方法

2. 特許請求の範囲

(1) 多数個の同一種類の半導体チップが規則正しい位置関係に形成されたウェーハのテストを行なうに当つて、

上記テストの項目を複数のグループに分け、

各グループのテスト項目に応じて所要のプローブ針が上記半導体チップの位置関係に対応して配設され、それぞれのグループのテスト項目を行なう測定用周辺回路を備えたプローブカードを用い、

上記グループ数に対応する数の上記半導体チップについてそれぞれ上記プローブカードで同時にテストを施し、

各上記半導体チップについて1つのテスト項目でも不良と判定されれば、当該チップは不良と記録し、

全上記ウェーハのすべての上記半導体チップについて順次上記プローブカードでプロービングし、

既に不良の記録のある半導体チップは除いて、不良記録のない半導体チップのみテストを行なうことを特徴とするウェーハのテスト方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は1枚のウェーハ内に多数のチップを形成したウェーハのテスト方法の改良に関するものである。

〔従来の技術〕

第2図は1Cウェーハを、ウェーハプローバのステージに載せた状態を示す平面図である。図において、(1)は1Cウェーハ、(2)は1Cチップ、XとYとはウェーハプローバのステージ上で1Cチップ(2)の位置を示す基準となる座標軸であり、その座標位置は2(X_n, Y_n)で表わすものとする。ただし、nは18までの自然数とする。

第4図はウェーハテストの従来のシステムプログラムでマルチテストする場合の固定プローブの概略図であり、(3)はプローブカード、(4)はプローブ針で複数本有る。(4a)は複数のプローブ針から

なり、チップ(2(X_N, Y_N))を測定するプローブ、(4b)は同様にチップ(2(X_{N-1}, Y_{N-1}))を測定するプローブである。プローブ(4a)及び(4b)は同数のプローブ針で構成され、各々全テスト項目をテストに必要な針数を有する。(5a)及び(5b)は同じ測定回路を有する周辺回路であり、それぞれプローブ(4a)及び(4b)に接続されている。プローブカード(3)はテスト本体に接続される。テスト本体は、チップ(2(X_N, Y_N))とチップ(2(X_{N-1}, Y_{N-1}))とを同時に測定する為に、各種の測定器を2つつ内蔵しておかなければならない。

次に動作について説明する。ここで、ウエーハブローバのステージに載せたウエーハでチップ(2(X_N, Y_N))が存在するか否かのチップ認識面積を完全なチップ面積の70%に仮定しておく。

第2図に示したウエーハ位置で、ブローバをスタートさせると、ブローブ(4a)はチップ(2(3,6))にコンタクトし、ブローブ(4b)はチップのない(2(2,5))に位置し、チップ(2(3,6))のみテストを実施する。テストが終ると1チップ上へ移動し、

ブローブ(4a)はチップ(2(3,7))へ、ブローブ(4b)はチップ(2(2,6))へコンタクトし2チップ同時にテストする。順次テストし、ブローブ(4a)でチップ(2(3,13))、ブローブ(4b)でチップ(2(2,12))の同時テストが完了すると、2チップ右へ移動し、ブローブ(4a)でチップ(2(5,16))、ブローブ(4b)でチップ(2(4,15))を同時テストする。テストが完了すると1チップ下へ移動し順次同様のテストを行ない、チップ(2(17,11))のテスト完了で全チップテスト完了となる。

〔発明が解決しようとする問題点〕

従来のウエーハテストのシステムプログラムのマルチテストは、それぞれのテストチップごとに全テスト項目の同時テストを行なうようになっていたので、ブローブ(4a)と(4b)とはそれぞれ全ピンに針立てが必要で、スペース的に困難となっていた。また、周辺回路(5a)と(5b)はそれぞれ全テスト項目が測定可能な回路を必要とし、さらに、テスト本体に内蔵されている各種の測定器も2個ずつ必要なので大形化しコスト高となるなど

の問題点があつた。

この発明は上記のような問題点を解消する為になされたもので、従来のマルチテストに比べてブローブ針数を減すことができ、また、周辺回路は合計で1チップ分で済み、テスト本体内蔵の各種の測定器も1チップ分で十分であると共にテスト処理能力は従来のマルチテストと同等のウエーハテスト方法を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係るウエーハテスト方法では、所要テスト項目を複数のグループに分け、各グループのテスト項目を、それぞれ専用のブローブ針と測定器とで複数のチップについて同時にテストし、それぞれのチップの判定結果に応じて不良マークを打てるようにするとともに、全チップについて全テスト項のテストができるようにブローピングを可能としたものである。

〔作用〕

この発明においては、現在ブローピングしている複数のチップのうち、ある1チップの位置を基

準とし、その他のICチップの位置を認識する。そしてその複数の各チップごとに該当する不良フラグメモリのフラグの有無を出力し、テストは、このフラグの有無を参照して不良フラグ無しのチップのみテストを実施し、その結果に応じて不良フラグメモリにフラグを立てる。その後一斉にブローピングを1チップ移動し同様の作用を繰返す。

〔発明の実施例〕

以下この発明の一実施例を図について説明する。第1図は本発明の一実施例によるウエーハテスト方法の手順を示すフローチャートであり、2チップ同時テストの例について述べる。(X_N, Y_N)及び(X_{N-1}, Y_{N-1})はウエーハブローバのステージの上に載せたウエーハ内のチップの位置を示す座標である。第2図はウエーハブローバのステージ上に載せたウエーハであり、(1)はウエーハ、(2)はICチップ(以下チップと略称する。)、X及びYはチップの位置を表わす基準となる座標軸である。座標(X_N, Y_N)にあるチップ(2)は(2(X_N, Y_N))で表わすものとする。第3図はこの実施例によるテスト

を行なうための固定プローブであり、(3)はプローブカード、(4)はプローブ針で複数本有る。(4A)は測定するテスト項目に必要な最小限のプローブ針で構成されるプローブであり、チップ(2(X_N, Y_N))を測定する。(4B)は測定するテスト項目に必要な最小限のプローブ針で構成されるプローブであり、チップ(2(X_{N-1}, Y_{N-1}))を測定する。(5A)はチップ(2(X_N, Y_N))を測定するテスト項目に必要な最小限の回路を有する周辺回路であり、プローブ(4A)へ配線されている。(5B)はチップ(2(X_{N-1}, Y_{N-1}))を測定するテスト項目に必要な最小限の回路を有する周辺回路であり、プローブ(4B)へ配線されている。また、プローブ(4A)とプローブ(4B)とでは共通するテスト項目は原則として含まないものとする。さらに、プローブカード(3)はテスト本体へ接続されている。

次にこの実施例方法の手順について説明する。ここでチップの認識面積を70%に仮定しておく。第1図において、ステップ(1)でテストをスタートさせると、ステップ(2)で第3図のプローブ(4A)

にフラグが立つていれば、ステップ(3)でチップ(2(3,13))のみのテストを行ない、フラグが立つていなければ、ステップ(4)でチップ(2(3,13))とチップ(2(2,12))とを同時にテストする。その結果をステップ(5)、(6)で判定して不良判定のチップがあれば、ステップ(7)、(8)で相当する不良フラグメモリの位置にフラグを立てる。

次に、ステップ(9)、(10)を経てプローブ(4A)はチップ(2(3,12))を、プローブ(4B)はチップ(2(2,11))をプロービングし、同様の作用を繰り返す。

以上のように、順次テストを行ない、全チップが、プローブ(4A)、プローブ(4B)の両方でテストされると不良チップに不良マークを自動的に付けて、このウエーハ全チップのウエーハテストを完了する。これをステップ(11)で確認し、ステップ(12)で終了する。

なお、上記実施例では、プローブ(4A)とプローブ(4B)とで行なうテスト項目が相異なる例について述べたが、一部共通するテスト項目があつ

て、第2図のチップ(2(2,7))がプロービングされ、プローブ(4B)にはチップの無い(1,6)の位置が来る。従つて、ステップ(4)のテストの結果ステップ(5)に進み、プローブ(4A)によりチップ(2(2,7))のみテストを行ない、ステップ(6)、ステップ(7)で結果を不良フラグメモリの(2,7)の位置に記憶する。次に、プローブ(4A)をチップ(2(2,8))の位置にしても、プローブ(4B)の位置は(1,7)で、チップがないので、プローブ(4A)によりチップ(2(2,8))のみのテストを行ない、結果を不良フラグメモリの(2,8)の位置に記憶する。以下順次ステップ(9)、(10)によつて移動し、チップ(2(2,14))のテストが完了すると、更に、ステップ(9)、(10)を経て、ステップ(11)でプローブ(4A)はチップ(2(3,13))を、プローブ(4B)はチップ(2(2,12))をプロービングする。

次にステップ(6)でチップ(2(2,12))は既に不良判定となつているか否かを、ウエーハプローバ内の不良フラグメモリ座標(2,12)から出力する。テストはそれを参照し、不良フラグメモリ(2,12)

でもよく、この場合、その項目は2回テストされたことになる。

〔発明の効果〕

以上のように、この発明によれば、使用する測定器の種類ごとに各種のテスト項目をグループ化して各グループごとに割り当てたチップを同時にテストし、テスト本体、及び周辺回路の機能を常に使用状態にすることにより、1チップテスト分の安価な装置で処理能力を2倍に上げることができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例によるウエーハテスト方法の手順を示すフローチャート、第2図はこの実施例及び従来方法におけるウエーハをウエーハプローバのステージに載せた状態を示す平面図、第3図はこの実施例方法に用いるプローブカードの概略図、第4図は従来方法に用いるプローブカードの概略図である。

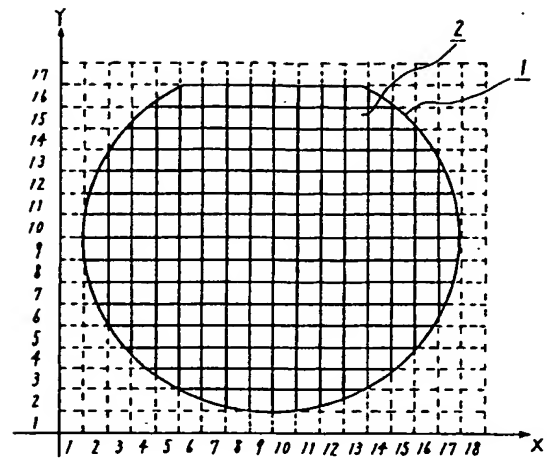
図において、(1)はウエーハ、(2)はチップ、(3)はプローブカード、(4)はプローブ針、(4A)、(4B)は

プローブ、(5A),(5B)は周辺回路である。

なお、図中同一符号は同一または相当部分を示す。

代理人 早 瀬 憲 一

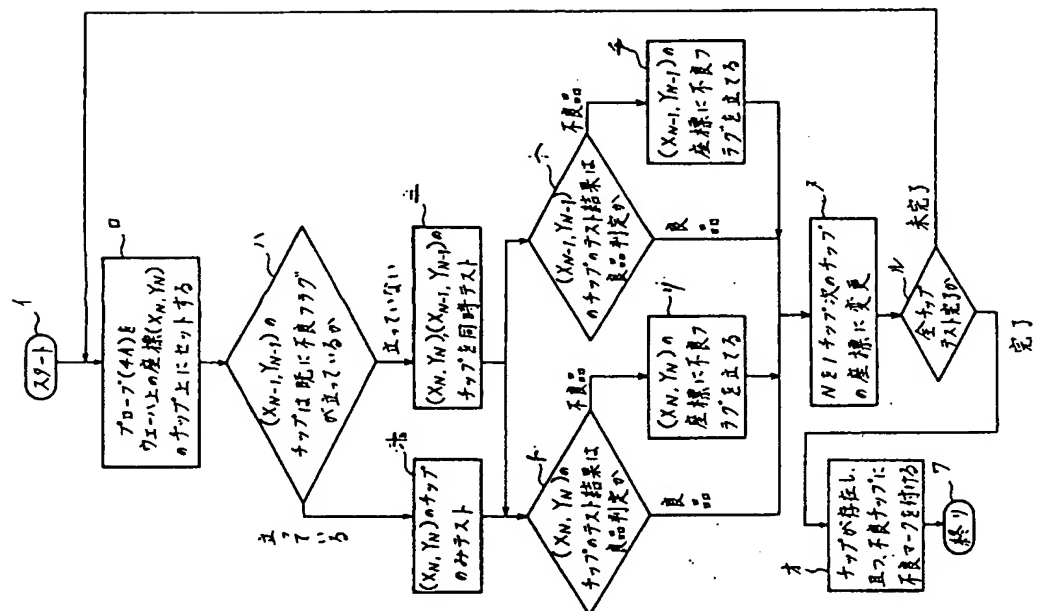
第 2 図



1: ウエーハ

2: チップ・

第1圖



昭和64年 1月 7日

特許庁長官 殿

1. 事件の表示

特願昭62-253424号

2. 発明の名称

ウエーハのテスト方法

3. 補正をする者

事件との関係 特許出願人

住 所 東京都千代田区丸の内二丁目2番3号

名 称 (601) 三菱電機株式会社

代表者 志 岐 守 哉

4. 代理人 郵便番号 532

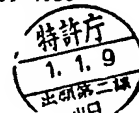
住 所 大阪市淀川区宮原4丁目1番45号

新大阪八千代ビル

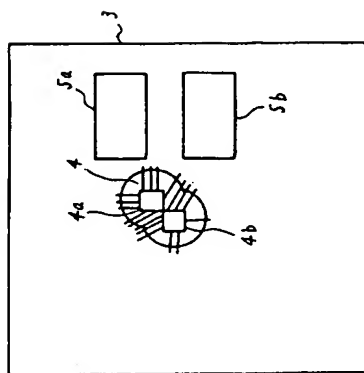
氏 名 (8181) 弁理士 早 瀬 憲 一

電話 06-391-4128

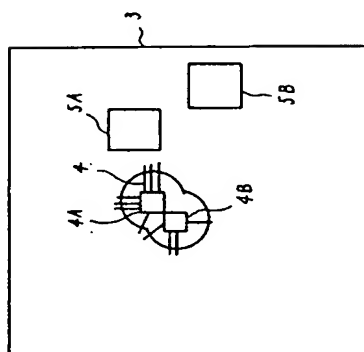
方式



第4図



第3図



3:プローブカード
4A:プローブ
4B:プローブ

5. 補正の対象

明細書の発明の詳細な説明の欄、及び図面(第1図)

6. 補正の内容

(1) 明細書第2頁第15行の「 $2(X_n, Y_n)$ 」を「 $2(X_n, Y_n)$ 」に訂正する。

(2) 同第2頁第16行の「Nは」を「M, Nは」に訂正する。

(3) 同第3頁第1行の「 $(2(X_n, Y_n))$ 」を「 $(2(X_n, Y_n))$ 」に訂正する。

(4) 同第3頁第2行の「 $(2(X_{n-1}, Y_{n-1}))$ 」を「 $(2(X_{n-1}, Y_{n-1}))$ 」に訂正する。

(5) 同第3頁第9行の「 $(2(X_n, Y_n))$ 」とチップ「 $2(X_{n-1}, Y_{n-1})$ 」を「 $(2(X_n, Y_n))$ 」とチップ「 $2(X_{n-1}, Y_{n-1})$ 」に訂正する。

(6) 同第3頁第14行の「 (X_n, Y_n) 」を「 (X_n, Y_n) 」に訂正する。

(7) 同第4頁第2~3行の「コンタクトし2チップ同時にテストする。」を「コンタクトしチップ「 $2(3, 7)$ 」のみテストする。テストが終

ると1チップ上へ移動し、プローブ「 $4a$ 」はチップ「 $2(3, 8)$ 」へプローブ「 $4b$ 」はチップ「 $2(2, 7)$ 」へそれぞれ移動し2チップ同時にテストする。」に訂正する。

(8) 同第4頁第5行の「2チップ右へ」を「2チップ右へ, 3チップ上へ」に訂正する。

(9) 同第4頁第9行の「チップ「 $2(17, 11)$ 」」を「チップ「 $2(16, 6)$ 」」に訂正する。

(10) 同第5頁第12~13行の「測定器とで」を「測定系とで」に訂正する。

(11) 同第6頁第12行の「 (X_n, Y_n) 」を「 (X_n, Y_n) 」に訂正する。

(12) 同第6頁第13行の「 (X_{n-1}, Y_{n-1}) 」を「 (X_{n-1}, Y_{n-1}) 」に訂正する。

(13) 同第6頁第19行の「 (X_n, Y_n) 」にあるチップ「 $2(2, 7)$ 」を「 (X_n, Y_n) 」にあるチップ「 $2(2, 7)$ 」に訂正する。

(14) 同第7頁第4行の「チップ「 $2(X_n, Y_n)$ 」」を「チップ「 $2(X_n, Y_n)$ 」」に訂正する。

四 同第7頁第7行の「チップ(2(X_{n-1}, Y_{n-1}))」を「チップ(2(X_{n-1}, Y_{n-1}))」に訂正する。

08 同第7頁第8行の「チップ (2 (X_n, Y_n))」
を「チップ (2 (X_n, Y_n))」に訂正する。

叨 同第7頁第11行の「 $(2(X_{n-1}, Y_{n-1}))$ 」
 を「 $(2(X_{n-1}, Y_{n-1}))$ 」に訂正する。

00 同第8頁第13行の「 $\neq 2(2, 14))$ 」
を「 $\neq 2(2, 12))$ 」に訂正する。

09 第1図を別紙の通り訂正する。

以 上

